

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008351

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H03B 5/32
H01L 21/822
H01L 21/8234
H01L 21/8238
H01L 27/04
H01L 27/06
H01L 27/092
H03K 3/02

(21)Application number : 2001-184800

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : 19.06.2001

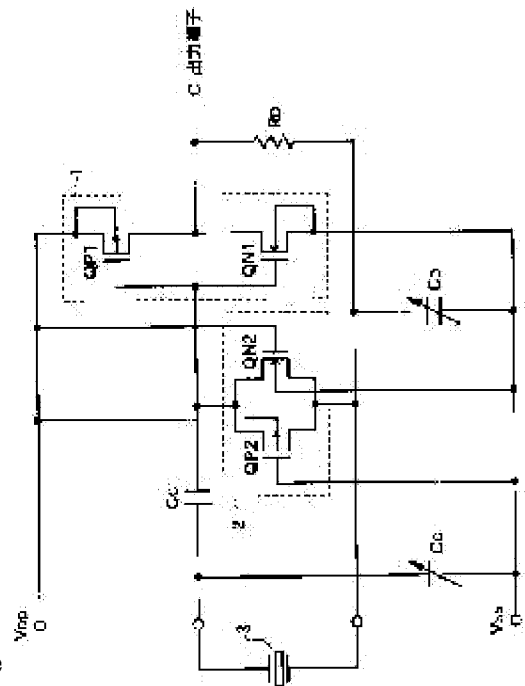
(72)Inventor : MAKIUCHI YOSHIKI

(54) OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize consumption power reduction and miniaturization, in an oscillation circuit including transistors of MOS structure, capacitors, or impedance elements.

SOLUTION: The oscillation circuit is provided with (a) a semiconductor substrate; (b) a capacitor CG or CD which is a capacitor for adjusting an oscillation frequency of the oscillation circuit, and has an impurity diffused region formed in a semiconductor substrate, an insulating film formed on the impurity diffused region, and electrodes formed on the insulating film; and (c) an inversion circuit 1 which feeds back an output signal to an input via at least an oscillation element, and includes MOS transistors QP1 and QN1. The transistor has a couple of impurity diffused regions formed in the semiconductor substrate, a gate insulating film which is formed on the substrate and thicker than an insulating film of the capacitor, and a gate electrode formed on the gate insulating film.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-8351

(P2003-8351A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

H 0 3 B 5/32

H 0 3 B 5/32

H 5 F 0 3 8

H 0 1 L 21/822

H 0 3 K 3/02

J 5 F 0 4 8

21/8234

H 0 1 L 27/04

P 5 J 0 4 3

21/8238

27/06

C 5 J 0 7 9

1 0 2 A

審査請求 未請求 請求項の数 8 ○ L (全 7 頁) 最終頁に続く

(21)出願番号

特願2001-184800(P2001-184800)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成13年6月19日(2001.6.19)

(72)発明者 牧内 佳樹

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100110858

弁理士 柳瀬 睦肇 (外3名)

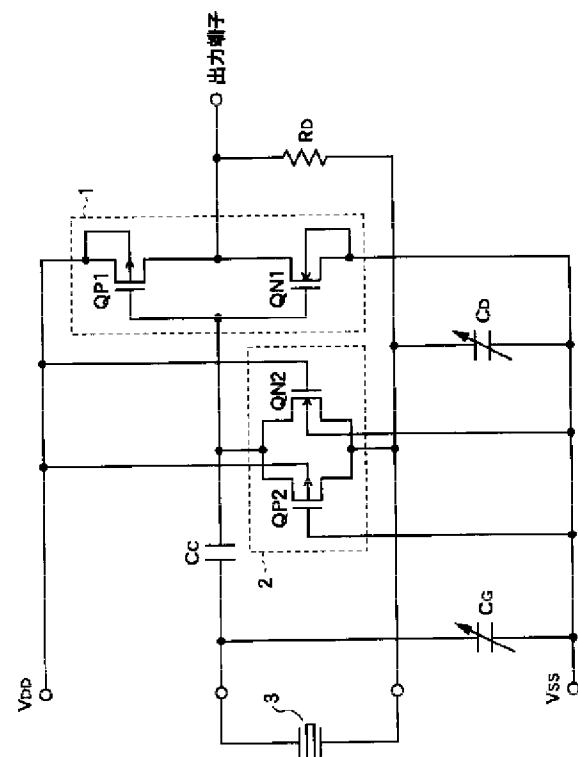
最終頁に続く

(54)【発明の名称】 発振回路

(57)【要約】

【課題】 MOS構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路において、低消費電力化及び小型化を実現する。

【解決手段】 (a) 半導体基板と、(b) 発振回路の発振周波数を調節するためのコンデンサであって、半導体基板内に形成された不純物拡散領域と、不純物拡散領域上に形成された絶縁膜と、絶縁膜上に形成された電極とを有するコンデンサ C_G 又は C_D と、(c) 発振子を少なくとも介して出力信号が入力に帰還される反転回路であって、半導体基板内に形成された1組の不純物拡散領域と、半導体基板上に形成されたゲート絶縁膜であってコンデンサの絶縁膜よりも厚いゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するMOSトランジスタ Q_P1 及び Q_N1 を含む反転回路1とを具備する。



【特許請求の範囲】

【請求項 1】 発振子が接続されて発振を行う発振回路であって、
半導体基板と、

前記発振回路の発振周波数を調節するためのコンデンサであって、前記半導体基板内に形成された不純物拡散領域と、前記不純物拡散領域上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを有する前記コンデンサと、

前記発振子を少なくとも介して出力信号が入力に帰還される反転回路であって、前記半導体基板内に形成された 1 組の不純物拡散領域と、前記半導体基板上に形成されたゲート絶縁膜であって前記コンデンサの絶縁膜よりも厚い前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する MOS トランジスタを含む前記反転回路と、を具備する発振回路。

【請求項 2】 前記反転回路の入力と一方の電源電位との間にスイッチ手段を介して前記コンデンサが複数接続されていることを特徴とする請求項 1 記載の発振回路。

【請求項 3】 前記反転回路の出力と一方の電源電位との間にスイッチ手段を介して前記コンデンサが複数接続されていることを特徴とする請求項 1 記載の発振回路。

【請求項 4】 前記反転回路が、P チャネル MOS トランジスタと N チャネル MOS トランジスタとを含むことを特徴とする請求項 1～3 のいずれか 1 項記載の発振回路。

【請求項 5】 前記反転回路の入力にバイアス電位を供給するインピーダンス素子であって、前記半導体基板内に形成された 1 組の不純物拡散領域と、前記半導体基板上に形成されたゲート絶縁膜であって前記コンデンサの絶縁膜よりも厚い前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する MOS トランジスタを含む前記インピーダンス素子をさらに具備する請求項 1～4 のいずれか 1 項記載の発振回路。

【請求項 6】 前記インピーダンス素子が、P チャネル MOS トランジスタと N チャネル MOS トランジスタとを含むことを特徴とする請求項 5 記載の発振回路。

【請求項 7】 前記インピーダンス素子が、前記反転回路の入出力間に接続されていることを特徴とする請求項 5 又は 6 記載の発振回路。

【請求項 8】 前記発振子を内蔵していることを特徴とする請求項 1～7 のいずれか 1 項記載の発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、水晶発振子等の発振子を用いた発振回路に関し、特に、MOS 構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路に関する。

【0002】

【従来の技術】 一般的に、水晶発振子等の発振子を用い

た発振回路は、構成部品が少なく精度が高いため、腕時計等の小型の装置に広く用いられる。そのような用途においては、発振回路の低消費電力化及び小型化が強く求められている。消費電力を低減するためには、発振回路を構成する反転回路に含まれるトランジスタの電流供給能力を減少させたり、反転回路の入出力間に接続されているインピーダンス素子の抵抗値を大きくする必要がある。

【0003】 図 7 に、従来の発振回路の構成を示す。図 7 に示すように、この発振回路は、MOS トランジスタ QP11 及び QN11 によって構成された反転回路 11 と、MOS トランジスタ QP12 及び QN12 によって構成され、反転回路 11 の入出力間に接続されたバイアス電位供給用のインピーダンス素子 12 と、反転回路 11 の入力と接地電位との間に接続されたコンデンサ C_g と、反転回路 11 の出力と接地電位との間に接続されたコンデンサ C_d とを含んでいる。これらの素子は、半導体基板に形成されている。また、水晶発振子 13 が、反転回路 11 の入出力間に接続される。

【0004】 半導体基板において、コンデンサ C_g 及び C_d の絶縁膜と、反転回路 11 のトランジスタ QP11 及び QN11 のゲート絶縁膜と、インピーダンス素子 12 のトランジスタ QP12 及び QN12 のゲート絶縁膜とは、全て同一の厚さで形成されている。

【0005】 このような従来の発振回路においては、MOS トランジスタのチャネル幅 W とチャネル長 L との比である W/L を小さくすることで、反転回路 11 のトランジスタの電流供給能力を低くし、インピーダンス素子 12 のトランジスタのオン抵抗値を大きくして、低消費電力を実現していた。

【0006】

【発明が解決しようとする課題】 しかしながら、MOS トランジスタのチャネル幅 W については一定の値を確保する必要があるため、必然的にチャネル長 L を大きくしなければならず、その結果、MOS トランジスタのサイズが大きくなり、チップ面積も大きくなってしまいう問題があった。

【0007】 そこで、上記の点に鑑み、本発明は、MOS 構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路において、低消費電力化及び小型化を実現することを目的とする。

【0008】

【課題を解決するための手段】 以上の課題を解決するため、本発明に係る半導体装置は、発振子が接続されて発振を行う発振回路であって、(a) 半導体基板と、

(b) 発振回路の発振周波数を調節するためのコンデンサであって、半導体基板内に形成された不純物拡散領域と、不純物拡散領域上に形成された絶縁膜と、絶縁膜上に形成された電極とを有するコンデンサと、(c) 発振子を少なくとも介して出力信号が入力に帰還される反転

回路であって、半導体基板内に形成された 1 組の不純物拡散領域と、半導体基板上に形成されたゲート絶縁膜であってコンデンサの絶縁膜よりも厚いゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有する MOS トランジスタを含む反転回路とを具備する。

【0009】ここで、反転回路の入力と一方の電源電位との間にスイッチ手段を介してコンデンサが複数接続されても良いし、反転回路の出力と一方の電源電位との間にスイッチ手段を介してコンデンサが複数接続されても良い。また、反転回路が、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを含むようにしても良い。

【0010】本発明に係る半導体装置は、反転回路の入力にバイアス電位を供給するインピーダンス素子であって、半導体基板内に形成された 1 組の不純物拡散領域と、半導体基板上に形成されたゲート絶縁膜であってコンデンサの絶縁膜よりも厚いゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有する MOS トランジスタを含むインピーダンス素子をさらに具備するようにしても良い。このインピーダンス素子は、Pチャネル MOS トランジスタと Nチャネル MOS トランジスタとを含んでも良いし、反転回路の入出力間に接続されても良い。さらに、本発明に係る半導体装置は、発振子を内蔵するようにしても良い。

【0011】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態について説明する。図 1 は、本発明の一実施形態に係る発振回路の構成を示す回路図である。本実施形態においては、発振子として水晶発振子を用いている。

【0012】図 1 に示すように、本実施形態に係る発振回路は、MOS トランジスタ QP1 及び QN1 によって構成された反転回路 1 と、MOS トランジスタ QP2 及び QN2 によって構成され、反転回路 1 の入出力間に接続されたバイアス電位供給用のインピーダンス素子 2 と、反転回路 1 の入力と一方の電源電位（本実施形態においては接地電位である低電位側の電源電位 V_{SS} ）との間に接続されたコンデンサ C_G と、反転回路 1 の出力と電源電位 V_{SS} との間に接続されたコンデンサ C_D とを含んでいる。さらに、本実施形態に係る発振回路は、直流カット用のカップリングコンデンサ C_C を含むようにしても良い。なお、抵抗 R_D は、反転回路 1 を構成するトランジスタのドレイン抵抗である。以上の素子は、IC 等の半導体基板に形成されている。

【0013】さらに、水晶発振子 3 が、反転回路 1 の入出力間に接続される。一般的に、水晶発振子は、IC 等の回路に外付けされる。本願において、発振回路とは、IC 等の回路に水晶発振子が接続された構成をいうのは勿論のこと、水晶発振子が接続されていない IC 等の回路単体をも意味している。

【0014】次に、本実施形態に係る発振回路の動作に

ついて説明する。反転回路 1 の出力信号は、水晶発振子等により所定の位相回転を与えられて反転回路 1 の入力に帰還され、これにより発振動作が行われる。また、反転回路 3 の入力と電源電位 V_{SS} との間にはコンデンサ C_G が接続され、反転回路 3 の出力と電源電位 V_{SS} との間にはコンデンサ C_D が接続されている。ここで、コンデンサ C_G とコンデンサ C_D との内の少なくとも一方の容量を変化させることにより、発振周波数の調整が行われる。本実施形態においては、コンデンサ C_G 及び C_D の両方を可変コンデンサとしている。

【0015】ここで、可変コンデンサ C_G 及び C_D は、連続的に容量値を変化できるものでなくても、複数の容量値をとることができるものであれば良い。図 2 に、そのような可変コンデンサの構成例を示す。図 2 の (a) に示す可変コンデンサは、図 2 の (b) に示すような回路によって実現することができる。

【0016】図 2 の (b) において、スイッチング用のトランジスタ $Q1 \sim Q3$ には、コンデンサ $C1 \sim C3$ がそれぞれ直列に接続されている。ここでは、例として、3 つの直列回路を示している。これらの直列回路が並列に接続されて、図 2 の (a) に示す可変コンデンサに相当する。トランジスタ $Q1 \sim Q3$ のそれぞれのゲート $G1 \sim G3$ のいずれかに、ハイレベル又はローレベルの制御信号を印加してトランジスタをオン状態にすることにより、そのトランジスタに直列に接続されているコンデンサの容量が有効となる。この回路によれば、3 つの制御信号を用いることにより、最大限 2^3 通りの容量値を作り出すことが可能である。

【0017】次に、反転回路 1 及びインピーダンス素子 2 を構成する MOS トランジスタの特性について説明する。MOS トランジスタが飽和動作する場合には、トランジスタの形状とドレイン電流 I_D との関係は、次式で表される。

【数 1】

$$I_D = \frac{1}{2} \beta \frac{W}{L} (V_{GS} - V_{TH})^2 \cdots (1)$$

一方、MOS トランジスタが非飽和動作する場合には、トランジスタの形状とドレイン電流 I_D との関係は、次式で表される。

【数 2】

$$I_D = \beta \frac{W}{L} \left\{ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right\} \cdots (2)$$

以上において、 β はトランジスタの利得係数、 W はトランジスタのチャネル幅、 L はトランジスタのチャネル長、 V_{GS} はゲート・ソース間電圧、 V_{TH} はしきい電圧、 V_{DS} はドレイン・ソース間電圧を表している。

【0018】また、Nチャネル MOS トランジスタの利得係数 β_N は、次式で表される。

$$\beta_N = \mu_N \cdot C_N \cdots (3)$$

5

一方、PチャネルMOSトランジスタの利得係数 β は、次式で表される。

$$\beta_P = \mu_P \cdot C_P \cdots (4)$$

以上において、 μ_N は電子移動度、 μ_P は正孔移動度、 C_N はNチャネルトランジスタの単位面積当たりのゲート絶縁膜の容量、 C_P はPチャネルトランジスタの単位面積当たりのゲート絶縁膜の容量を表している。

【0019】従来は、MOSトランジスタのチャネル長 L を大きくすることにより、ドレイン電流 I_D を小さくしていた。その場合には、トランジスタのサイズが大きくなってしまう。これに対し、本発明によれば、MOSトランジスタのゲート絶縁膜を厚くすることにより、ゲート絶縁膜の容量 C_N 及び C_P を小さくする。その結果、(3)式と(4)式によって利得係数 β_N と β_P の値が小さくなり、(1)式と(2)式によってドレイン電流 I_D が小さくなる。

【0020】本発明においては、コンデンサ C_G 及び C_D の絶縁膜は、従来と同様に薄く形成する。一方、反転回路1を構成するMOSトランジスタのゲート絶縁膜と、インピーダンス素子2を構成するMOSトランジスタのゲート絶縁膜との内の少なくとも一方を、コンデンサ C_G 及び C_D の絶縁膜よりも厚くする。反転回路1を構成するトランジスタQP1及びQN1のゲート絶縁膜を厚くすると、トランジスタQP1及びQN1の電流供給能力が減少する。また、インピーダンス素子2を構成するトランジスタQP2及びQN2のゲート絶縁膜を厚くすると、トランジスタQP2及びQN2のオン抵抗値が増大する。これにより、発振回路の消費電力を低減させることができる。あるいは、ゲート絶縁膜を厚くすると共にトランジスタのチャネル長 L を小さくして、トランジスタサイズを小型化することも可能である。

【0021】次に、本実施形態に係る発振回路に用いられるコンデンサと、反転回路を構成するトランジスタの構造について説明する。図3に、可変コンデンサ C_G 又は C_D の断面を示し、図4に、反転回路を構成するトランジスタQP1及びQN1の断面を示す。

【0022】図3において、P型のシリコン基板31内に、N型の不純物拡散領域32が形成されている。この不純物拡散領域32上にコンデンサの絶縁膜33（本実施形態においてはシリコン酸化膜）が形成され、さらに、絶縁膜33上に電極34（本実施形態においてはポリシリコン）が形成されている。ここで、コンデンサの絶縁膜33の厚さを T_{OX1} とする。

【0023】図4において、P型のシリコン基板41内にN型のウェル42が形成され、さらに、N型のウェル42内に、トランジスタQP1のソース・ドレインとなる1組のP型の不純物拡散領域43が形成されている。1組のP型の不純物拡散領域43に挟まれた半導体基板上にはゲート絶縁膜45（本実施形態においてはシリコン酸化膜）が形成され、さらに、ゲート絶縁膜45上に

6

ゲート電極46（本実施形態においてはポリシリコン）が形成されている。

【0024】また、P型のシリコン基板41内に、トランジスタQN1のソース・ドレインとなる1組のN型の不純物拡散領域44が形成されている。1組のN型の不純物拡散領域44に挟まれた半導体基板上にはゲート絶縁膜45が形成され、さらに、ゲート絶縁膜45上にゲート電極46が形成されている。

【0025】本実施形態においては、反転回路を構成するトランジスタのゲート絶縁膜を、コンデンサの絶縁膜よりも厚くする。即ち、ゲート絶縁膜45の厚さを T_{OX2} とすると、 $T_{OX2} > T_{OX1}$ の関係が成り立っている。望ましくは、 $T_{OX2} \geq 2 \cdot T_{OX1}$ とする。

【0026】次に、インピーダンス素子を構成するトランジスタの構造について説明する。図5に、インピーダンス素子を構成するQP2及びQN2の断面を示し、図6に、インピーダンス素子を構成するトランジスタの平面を示す。

【0027】図5の(a)において、シリコン基板51内にN型のウェル52が形成され、さらに、N型のウェル52内にソース・ドレインとなる1組のP型の不純物拡散領域53が形成されている（片方のみ図示）。1組のP型の不純物拡散領域53に挟まれたN型のウェルは、チャネル領域54となる。半導体基板上にはゲート絶縁膜55（本実施形態においてはシリコン酸化膜）が形成され、さらに、ゲート絶縁膜55上にゲート電極56（本実施形態においてはポリシリコン）が形成されている。

【0028】また、図5の(b)において、シリコン基板51内にP型のウェル57が形成され、さらに、P型のウェル57内にソース・ドレインとなる1組のN型の不純物拡散領域58が形成されている（片方のみ図示）。1組のN型の不純物拡散領域58に挟まれたP型のウェルは、チャネル領域59となる。半導体基板上にはゲート絶縁膜55が形成され、さらに、ゲート絶縁膜55上にゲート電極56が形成されている。

【0029】本実施形態においては、インピーダンス素子を構成するトランジスタのゲート絶縁膜を、コンデンサの絶縁膜よりも厚くする。即ち、ゲート絶縁膜55の厚さを T_{OX3} とすると、 $T_{OX3} > T_{OX1}$ の関係が成り立っている。望ましくは、 $T_{OX3} \geq 2 \cdot T_{OX1}$ とする。

【0030】図6に示すように、チャネル領域54、59は、ソース(S)とドレイン(D)との間を、L字型のパターンを繰り返しながら曲がりくねって形成される。さらに、チャネル領域54、59を覆うように、ゲート絶縁膜及びゲート電極(G)が形成されている。このように、チャネル長 L を大きくして W/L の値を小さくすることにより、インピーダンス素子を構成するトランジスタのオン抵抗値を大きくする必要がある。本発明によれば、ゲート絶縁膜を厚くすることにより、トラン

7

ジスタのオン抵抗値を従来よりも大きくすることができる。あるいは、ゲート絶縁膜を厚くすると共にチャンネル長 L を小さくすることにより、トランジスタサイズを従来よりも小型化することも可能である。

【0031】なお、以上の実施形態においては、発振回路に用いられる発振子が水晶発振子である場合について説明したが、本発明はこれに限定されず、セラミック発振子や、SAW (surface acoustic wave : 表面弾性波) 発振子を用いることができる。

【0032】

【発明の効果】以上述べたように、本発明によれば、MOS構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路において、低消費電力化及び小型化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る発振回路の構成を示す回路図である。

【図2】本発明の一実施形態に係る発振回路に用いられる可変コンデンサの構成例を示す図である

【図3】本発明の一実施形態に係る発振回路に用いられるコンデンサの断面図である。

【図4】本発明の一実施形態に係る発振回路に用いられる反転回路を構成するトランジスタの断面図である。

【図5】本発明の一実施形態に係る発振回路に用いられるインピーダンス素子を構成するトランジスタの断面図である。

8

【図6】本発明の一実施形態に係る発振回路に用いられるインピーダンス素子を構成するトランジスタの平面図である。

【図7】従来の発振回路の構成を示す回路図である。

【符号の説明】

1、11 反転回路

2、12 インピーダンス素子

3、13 発振子

31、41、51 半導体基板

10 32、43、44、53、58 不純物拡散領域

33 絶縁膜

34 電極

42、52、57 ウエル

45、55 ゲート絶縁膜

46、56 ゲート電極

54、59 チャンネル領域

R_D 抵抗

C_G 、 C_D 、 C_C コンデンサ

QP1～QP12 PチャネルMOSトランジスタ

QN1～QN12 NチャネルMOSトランジスタ

C1～C3 コンデンサ

Q1～Q3 MOSトランジスタ

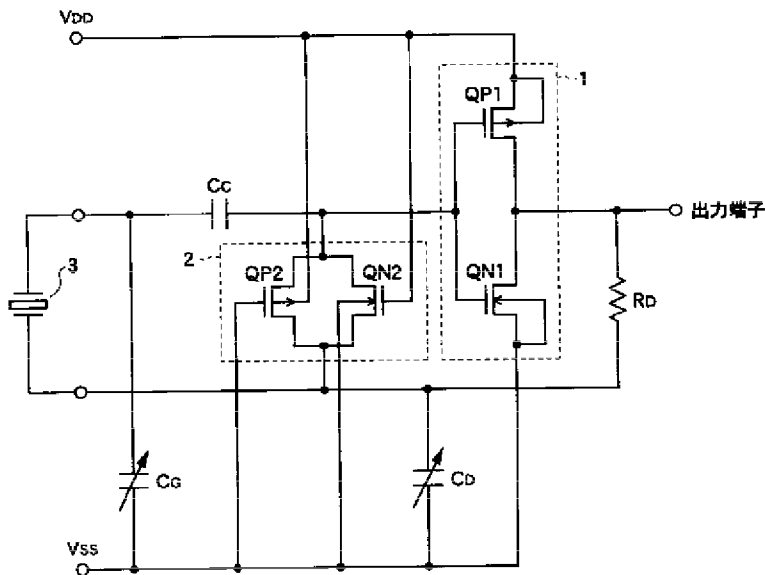
G1～G3 ゲート

S ソース

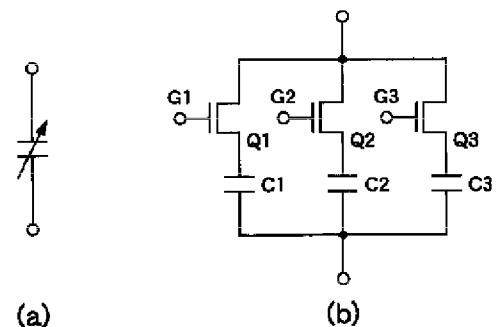
D ドレイン

G ゲート

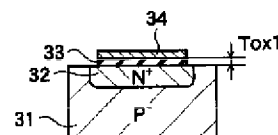
【図1】



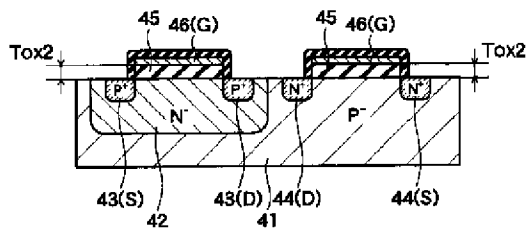
【図2】



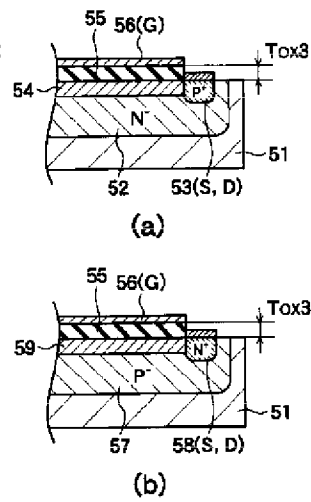
【図3】



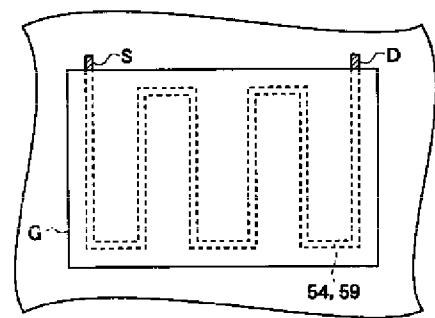
【図 4】



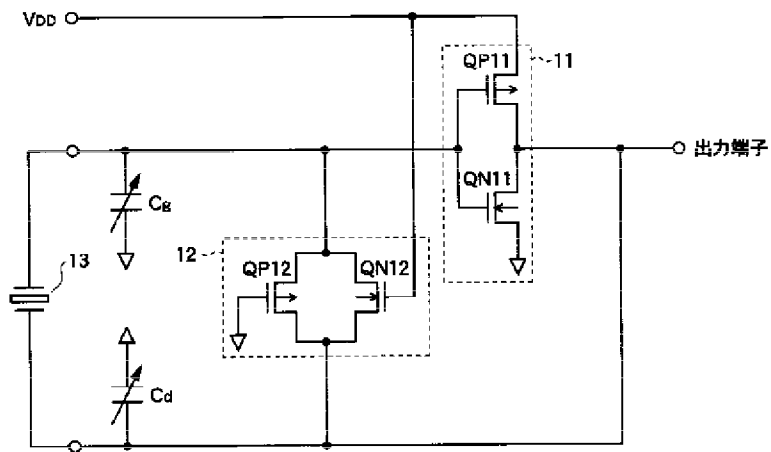
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. ⁷

H01L 27/04

27/06

27/092

H03K 3/02

識別記号

F I

H01L 27/08

テーマコード (参考)

321D

F ターム(参考) 5F038 AC03 AC05 AC15 AV06 BG02
DF01 EZ20
5F048 AB04 AB10 AC03 AC10 BB03
BB16
5J043 AA03 AA05 BB01 DD02 DD07
DD13
5J079 AA04 BA43 BA44 DA12 FA05
FA06 FA14 FA15 FA18 FB03
FB06 GA04 GA09 HA24